

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-282868

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.<sup>5</sup>

G 11 C 11/409  
H 01 L 27/108

識別記号

府内整理番号

F I

技術表示箇所

6741-5L  
8728-4M

G 11 C 11/34  
H 01 L 27/10

354 A  
325 R

審査請求 未請求 請求項の数 3(全 9 頁)

(21)出願番号

特願平4-80862

(22)出願日

平成4年(1992)4月2日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤井 康宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

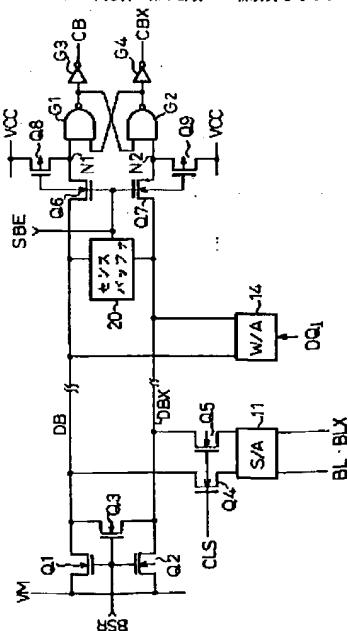
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 本発明は、半導体記憶装置に係り、特に、DRAMにおいてデータ読み出し/書き込み時の性能を向上させる技術に関し、データ読み出しの高速化を図ると共に、動作マージンの拡大とデータ読み出し/書き込み時の消費電力の低減化を図ることを目的とする。

【構成】 読み出しデータまたは書き込みデータを伝達する相補データバス線DB, DBXと、高電位の電源電圧VCCと低電位の電源電圧VSSの実質的に中間の電位を持つ電源ラインVMと、前記相補データバス線と前記電源ラインの間にそれぞれ接続され、リセット信号BSRに応答してオン・オフする1対のトランジスタQ1, Q2とを具備し、該1対のトランジスタのオン時に前記相補データバス線を前記実質的に中間の電位にプリチャージするように構成する。

図1における本発明に係る部分の一構成例を示す回路図



## 【特許請求の範囲】

【請求項1】 読み出しデータまたは書き込みデータを伝達する相補データバス線 (DB, DBX) と、高電位の電源電圧 (VCC) と低電位の電源電圧 (VSS) の実質的に中間の電位を持つ電源ライン (VM) と、

前記相補データバス線と前記電源ラインの間にそれぞれ接続され、リセット信号 (BSR) に応答してオン・オフする1対のトランジスタ (Q1, Q2) とを具備し、該1対のトランジスタのオン時に前記相補データバス線を前記実質的に中間の電位にプリチャージすることを特徴とする半導体記憶装置。

【請求項2】 前記相補データバス線の電位を増幅するセンスバッファ (20) と、該センスバッファへの信号入力側において該相補データバス線にそれぞれ直列に接続されたデータ転送用の1対のトランジスタ (Q10, Q11) とをさらに具備し、該相補データバス線のリセットを解除した時に該センスバッファの活性化に先立つて該1対のトランジスタをオンさせるようにしたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 請求項1に記載の半導体記憶装置において、前記相補データバス線の電位を増幅するカレントミラー型の増幅回路 (31, 32) をさらに具備し、前記リセット信号に代えて一定レベル (VCC) の信号を前記1対のトランジスタに供給し、それによって該1対のトランジスタを常にオン状態とするようにしたことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に係り、特に、ダイナミック・ランダム・アクセス・メモリ (DRAM) においてデータ読み出し/書き込み時の性能を向上させる技術に関する。近年のDRAMにおいては、多ビット化と共に、データ読み出し/書き込みの高速化および低消費電力化が要求されている。そのため、各メモリセルから多数のデータバス線に出力されたデータを高速に且つ低消費電力で読み出したり、逆に、ライトアンプからデータバス線に出力されたデータを高速に且つ低消費電力で各セルに書き込む必要がある。

## 【0002】

【従来の技術】 図7に従来形のRAMにおける要部、すなわちデータ入出力部、の回路構成が示される。図7において、DB, DBXは相補データバス線、VCCは高電位（通常は5V）の電源ライン、BSRXはアクティブ・ローのデータバス・リセット信号、Q1a, Q2aはデータバス・リセット信号BSRXに応答してそれぞれ対応するデータバス線DB, DBXを電源電圧VCCのレベルにプリチャージするpチャネルトランジスタ、Q3aはデータバス・リセット信号BSRXに応答してデータバス線DB, DBXをリセットするためのpチャ

ネルトランジスタ、11は選択セルから相補ビット線BL, BLXに出力されたデータをセンス増幅するセンスアンプ (S/A)、CLSはコラム選択信号、Q4, Q5は該コラム選択信号CLSに応答してS/A11の出力をそれぞれ対応するデータバス線DB, DBXに接続するゲート用pチャネルトランジスタ、14は書き込みデータDQ1を増幅してデータバス線DB, DBXに接続するライトアンプ (W/A)、20はデータバス線DB, DBX間の電圧を増幅（バッファリング）するセンスバッファ、SBEは該センスバッファを活性化するためのセンスバッファ・イネーブル信号を示す。また、G1, G2はフリップフロップを構成する NANDゲートを示し、該 NANDゲートは、それぞれの後段に接続されたインバータG3, G4と協働して、データバス線DB, DBXを共通のデータバス線CB, CBXに接続する機能を有している。

【0003】 図8には上述した回路の動作タイミング波形が示される。データ読み出し/書き込みを行う際には、先ずデータバス・リセット信号BSRX（破線で表示）を“L”レベルにしてデータバス線DB, DBXをリセットすることが行われる。この時、各データバス線DB, DBXの電位は、トランジスタQ3aのオンにより同じレベルになるとと共に、トランジスタQ1a, Q2aのオンにより電源電圧VCCのレベルにプリチャージされる。

【0004】 次に、データバス・リセット信号BSRXを“H”レベルにし、さらにコラム選択信号CLSを“H”レベルにしてトランジスタQ4, Q5をオンにし、センスアンプ11からのセル情報を相補データバス線DB, DBXに出力する。しかしこの時、各データバス線DB, DBXはVCC（“H”レベル）のレベルにプリチャージされているので、センスアンプ11から出力されたセル情報は一方のデータバス線にしか伝達されない。そのため、図8に示すように、データバス線DB, DBX間の差電圧は“ $\alpha$ ”で示す程度の微小差レベルにしかならない。

【0005】 次いでセンスバッファ・イネーブル信号SBEを“H”レベルしてセンスバッファ20を活性化すると、データバス線DB, DBX間の電位差が拡大される。つまり、センスバッファ20による増幅が開始される。この後、ライトアンプ14を活性化してライト動作を開始する。これによって、データバス線DB, DBXの電位は書き込みデータDQ1のレベルに応じたレベルに変化する。

【0006】 最後に、コラム選択信号CLS、センスバッファ・イネーブル信号SBEおよびデータバス・リセット信号BSRXをそれぞれ“L”レベルにして、データバス線DB, DBXをリセット状態とする。

## 【0007】

【発明が解決しようとする課題】 上述したように従来の

DRAMでは、データバス線のリセット時に該データバス線の電位は電源電圧VCCのレベルまでプリチャージされるので、データ読み出し時にセンスアンプから出力されたセル情報は一方のデータバス線にしか伝達されず、そのために該データバス線間の差電圧は極めて小さなものとなる(図8においてaで図示)。従って、該データバス線間の電位差を所定のレベル差まで拡大増幅するのに相当の時間を必要とし、ひいては読み出し動作を高速に行えないという問題がある。

【0008】また、データバス線間の差電圧が小さいということは、動作マージンを狭めることになるので、好みたくない。さらに、データバス線をVCCのレベルまでプリチャージするため、図8の信号波形図から明らかなように、データ読み出し時にはVCC×C<sub>DD</sub>(C<sub>DD</sub>はデータバス線の等価容量)に相当する電荷を放電させる必要があり、一方、データ書き込み時にはその2倍(2×VCC×C<sub>DD</sub>)に相当する電荷を充電させる必要がある。つまり、消費電力が比較的大きいという課題があり、これは、多ビット化が要求されるメモリでは特に顕著である。

【0009】本発明は、かかる従来技術における課題に鑑み創作されたもので、データ読み出しの高速化を図ると共に、動作マージンの拡大とデータ読み出し/書き込み時の消費電力の低減化を図ることができる半導体記憶装置を提供することを目的としている。

#### 【0010】

【課題を解決するための手段】上記課題を解決するため、本発明では、データバス線のリセット時のプリチャージレベルを、高電位の電源電圧VCCのレベルではなく、該VCCのレベルと低電位の電源電圧VSS(0V)のレベルの中間値もしくはそれに近いレベルに設定している。

【0011】従って本発明によれば、読み出しデータまたは書き込みデータを伝達する相補データバス線と、高電位の電源電圧と低電位の電源電圧の実質的に中間の電位を持つ電源ラインと、前記相補データバス線と前記電源ラインの間にそれぞれ接続され、リセット信号に応答してオン・オフする1対のトランジスタとを具備し、該1対のトランジスタのオン時に前記相補データバス線を前記実質的に中間の電位にプリチャージすることを特徴とする半導体記憶装置が提供される。

#### 【0012】

【作用】上述した構成によれば、各データバス線はリセット時にVCCとVSSの実質的に中間の電位にプリチャージされているので、センスアンプから読み出されたセル情報は、両方のデータバス線で伝達される。このため、相補データバス線間の差電圧は従来形の2倍のレベル差を呈する。

【0013】従って、この後の段階でデータバス線の電位を増幅するまでの時間を相対的に短縮する(つまり所

定レベルに速やかに増幅する)ことができる。これは、アクセスの高速化、つまりデータ読み出しの高速化に寄与する。また、データバス線間の差電圧を相対的に大きくしているので、その分だけ、動作マージンを拡げることができる。

【0014】さらに、データバス線のプリチャージレベルを従来の約1/2のレベルに低減しているので、従来形に比してデータバス線の充放電に要する電流(消費電力)を低減することができる。なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

#### 【0015】

【実施例】図1に本発明の各実施例に適用されるDRAMの構成が概略的に示される。同図において、1は4M容量のダイナミック型メモリセルアレイ、2はそれぞれ外部からのアクティブ・ローのロウアドレスストローブ信号RAS Xおよびコラムアドレスストローブ信号CAS Xに応答して第1のクロックを発生するクロックジェネレータ、3はコラムアドレスストローブ信号CAS Xの反転信号および上記第1のクロックに応答するアンドゲート、4は該アンドゲートの出力に応答して第2のクロックを発生するクロックジェネレータ、5は第2のクロックおよび外部からのアクティブ・ローのライトイネーブル信号WE Xに応答してライトクロックを発生するジェネレータ、6はコラムアドレスストローブ信号CAS Xおよび第1のクロックに応答して通常動作モードまたはテストモードの設定を行うモードコントローラ、7は該モードコントローラでテストモードが設定された時にリフレッシュ用アドレスをカウントするカウンタ、8は該カウンタのカウント値および外部からの10ビットのアドレス信号A0～A9と上記第2のクロックに応答してアドレスのパッファリングおよびプリデコーディングを行う回路、9および10はプリデコードされたアドレス情報に基づきそれぞれ第1および第2のクロックに応答してメモリセルアレイ1内の複数のワード線および複数のビット線(つまりコラム線)のいずれかをそれぞれ選択するロウデコーダおよびコラムデコーダ、11は選択されたビット線を対応するデータ線(I/O線)に接続すると共に、選択セルから読み出されたデータを第1のクロックに応答してセンス増幅するセンスアンプ(S/A)回路およびI/Oゲート、12は該S/A回路およびI/Oゲートを介して読み出されたデータを第2のクロックおよび外部からのアクティブ・ローの出力イネーブル信号OE Xに応答して外部に出力するデータ出力パッファ(4ビットのデータDQ1～DQ4)、13は外部からの4ビットのデータをジェネレータ5からのライトクロックに応答して取り込むデータ入力パッファ、14は取り込まれた入力データを増幅してI/Oゲートに接続するライトアンプ(W/A)回路、そして、15は基板バイアスを発生するジェネレータを示す。

【0016】なお、DRAM内の各回路には高電位の電源電圧VCC(5V)と低電位の電源電圧VSS(0V)が供給されている。図2には図1のRAMにおける本発明に係る部分、すなわちデータ入出力部、の一構成例が示される。本実施例では、相補データバス線DB, DBXをリセット時にプリチャージするための電源ラインとして、高電位(5V)の電源電圧VCCと低電位(0V)の電源電圧VSSの中間のレベル(つまり2.5V)の電位を持つ電源ラインVMを設けたことを主な特徴としている。

【0017】また、データバス線DB, DBXのプリチャージ用およびリセット用トランジスタとしてnチャネルトランジスタQ1, Q2およびQ3が設けられている。このため、各トランジスタQ1～Q3を活性化するための信号として、通常のアクティブ・ハイのデータバス・リセット信号BSRが用いられている。さらに、センスバッファ20とフリップフロップ( NANDゲートG1, G2)の間には、該フリップフロップに貫通電流が流れるのを防止するための回路が挿入されている。この回路は、データバス線DBと一方の NANDゲートG1の入力端(ノードN1)の間に接続され且つセンスバッファ・イネーブル信号SBEに応答するnチャネルトランジスタQ6と、同じくデータバス線DBXと他方の NANDゲートG2の入力端(ノードN2)の間に接続され且つセンスバッファ・イネーブル信号SBEに応答するnチャネルトランジスタQ7と、各ノードN1, N2と電源ラインVCCの間にそれぞれ接続され且つセンスバッファ・イネーブル信号SBEにそれぞれ応答するpチャネルトランジスタQ8, Q9とを有している。

【0018】他の回路構成とその作用については、図7の場合と同様であるのでその説明は省略する。図3には図2の回路の動作タイミング波形が示される。まず、データバス・リセット信号BSR(破線で表示)を“H”レベルにして各トランジスタQ1～Q3をオンにし、データバス線DB, DBXをリセット状態にする。この時、各データバス線DB, DBXの電位は、VCCとVSSの中間のレベル(2.5V)にプリチャージされる。

【0019】次に、データバス・リセット信号BSRを“L”レベルにし、さらにコラム選択信号CLSを“H”レベルにしてトランジスタQ4, Q5をオンにし、センスアンプ11からのセル情報を相補データバス線DB, DBXに出力する。この場合、各データバス線DB, DBXは電源電圧VMのレベルにプリチャージされているので、センスアンプ11から出力されたセル情報は、従来形のように一方のデータバス線のみでなく、両方のデータバス線DB, DBXに伝達される。このため、図3に示すように、データバス線DB, DBX間の差電圧は、 $2\alpha$ のレベル差を呈する。この後の動作形態については、図8の場合と同様である。

【0020】本実施例の回路構成によれば、センスアンプ情報伝達時のデータバス線DB, DBX間の差電圧として、従来形(図8のレベル差 $\alpha$ )の2倍のレベル差を確保しているので、その後の段階でセンスバッファ・イネーブル信号SBEを“H”レベルにしてセンスバッファ20を活性化(つまり増幅開始)するまでの時間を相対的に短縮することができる。これは、アクセスの高速化、つまりデータ読み出しの高速化に寄与するものである。

【0021】また、データバス線DB, DBX間の差電圧を相対的に(つまり従来形に比して)大きくしているので、その分だけ、動作マージンを拡げることができる。さらに、データバス線DB, DBXのプリチャージレベルを従来(VCC)の1/2のレベル(VM)に低減しているので、図3の信号波形図から明らかのように、データ読み出し時には $(VCC/2) \times C_{DB}$ に相当する電荷を放電させるだけで済み、一方、データ書き込み時には $(VCC/2 + VCC) \times C_{DB}$ に相当する電荷を充電させるだけで済み、いずれの場合にも、従来形に比して充放電電流(消費電力)を減少することができる。このため、多ビット化が要求されるメモリに対しては、特に有効である。

【0022】なお、上述した実施例ではデータバス線DB, DBXのリセットをnチャネルトランジスタQ1～Q3が行っている場合について説明したが、これは、従来形のようにpチャネルトランジスタで行うようにしてよい。ただしこの場合に、各トランジスタを活性化するための信号としてアクティブ・ローのリセット信号を用いることはもちろんである。

【0023】図4には図1のRAMにおける本発明に係る部分(データ入出力部)の他の構成例が示され、図5にはその動作タイミング波形が示される。本実施例では、図2の回路構成と比較して、データバス線DB, DBXにおいてセンスバッファ20の前段側にそれぞれデータバス転送信号DBTに応答するnチャネルトランジスタQ10, Q11を設けたことを特徴としている。

【0024】各トランジスタQ10, Q11をオンさせるタイミングは、図5の信号波形図に示すように、データバス・リセット信号BSRを“L”レベルに立ち下げてからセンスバッファ・イネーブル信号SBEを“H”レベルに立ち上げるまでの間のタイミングに設定されている。このようにタイミング設定を行うことで、コラム選択信号CLSを“H”レベルにしてセンスアンプ11のセル情報をデータバス線DB, DBXに出力した時、該セル情報を速やかにセンスバッファ20側に伝達することができる。これによって、この後で行われるライト動作の開始時点を早くすることができる。これは、書き込み動作の高速化に寄与する。

【0025】また、図4の実施例では、データ読み出し時には $\alpha \times C_{DB}$ に相当する電荷を放電させるだけで済

み、一方、データ書き込み時には  $(V_{CC}/2 + \alpha) \times C_{DD}$  に相当する電荷を充電させるだけで済む。図2の実施例と同様、充放電電流（消費電力）を減少することができる。図6には図1のRAMにおける本発明に係る部分（データ入出力部）の更に他の構成例が示される。

【0026】本実施例では、図2の構成におけるセンスバッファ20に代えて、継続接続されたカレントミラー型増幅回路31, 32を使用している。また本実施例では、図2、図4の各実施例で用いられている（論理レベルの変わる）リセット信号BSRに代えて、VCCの一  
10 定レベルの信号をプリチャージ用およびリセット用の各トランジスタQ1～Q3に供給しており、これによってデータバス線の振幅制限を行っている。

【0027】なお、上述した各実施例ではデータバス線DB, DBXのリセット時のプリチャージレベルをVCCとVSSの中間のレベル（2.5V）となるように設定したが、これは、本発明の要旨からも明らかなように、該中間のレベルに近似したレベルであれば同様の効果が期待されることは明らかであろう。

【0028】

【発明の効果】以上説明したように本発明によれば、データ読み出しの高速化を図ると共に、動作マージンを拡大することができ、またデータ読み出し／書き込み時の消費電力の低減化を実現することができる。これは、メモリ（特にDRAM）の特性向上に大いに寄与するものである。

【図面の簡単な説明】

【図1】本発明の各実施例に適用されるDRAMの構成

を概略的に示したブロック図である。

【図2】図1における本発明に係る部分の一構成例を示す回路図である。

【図3】図2の回路の動作を説明するための信号波形図である。

【図4】図1における本発明に係る部分の他の構成例を示す回路図である。

【図5】図4の回路の動作を説明するための信号波形図である。

【図6】図1における本発明に係る部分の更に他の構成例を示す回路図である。

【図7】従来形のRAMにおける要部の構成を示す回路図である。

【図8】図7の回路の動作を説明するための信号波形図である。

【符号の説明】

DB, DBX…相補データバス線

Q1, Q2…プリチャージ用トランジスタ

Q3…リセット用トランジスタ

20 VCC…高電位（5V）の電源ライン（電源電圧）

VSS…低電位（0V）の電源ライン（電源電圧）

VM…VCCとVSSの実質的に中間の電位を持つ電源ライン（電源電圧）

BSR…データバス・リセット信号

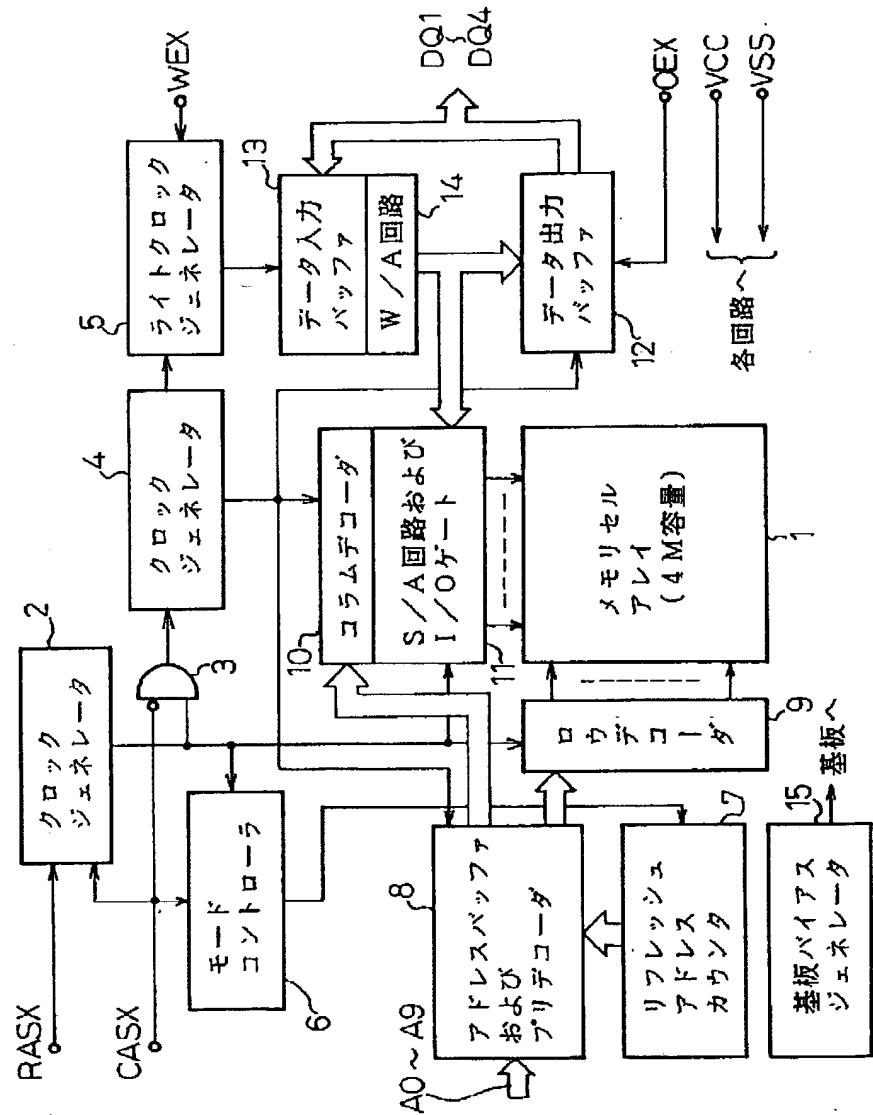
20…センスバッファ

Q10, Q11…データ転送用トランジスタ

31, 32…カレントミラー型増幅回路

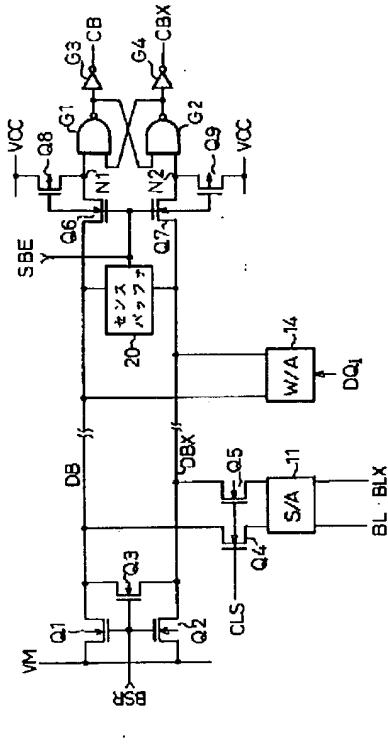
【図1】

本発明の各実施例に適用されるDRAMの構成を概略的に示したブロック図



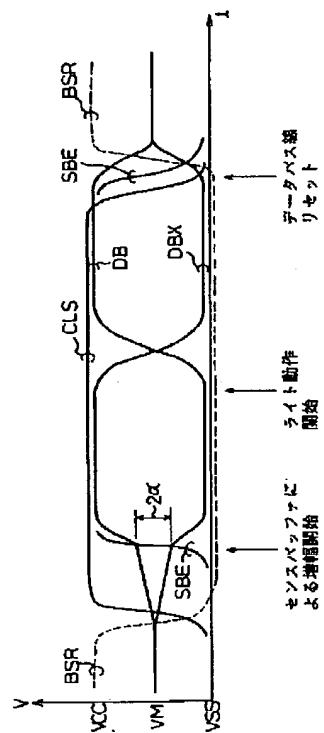
【図2】

図1における本発明に係る部分の一様成例を示す回路図



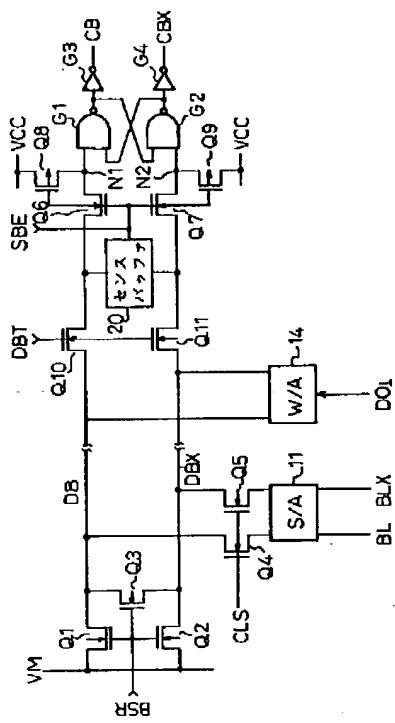
【図3】

図2の回路の動作を説明するための信号波形図



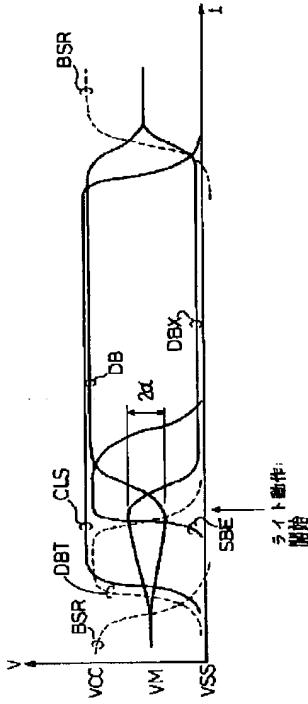
【図4】

図1における本発明に係る部分の他の構成例を示す回路図



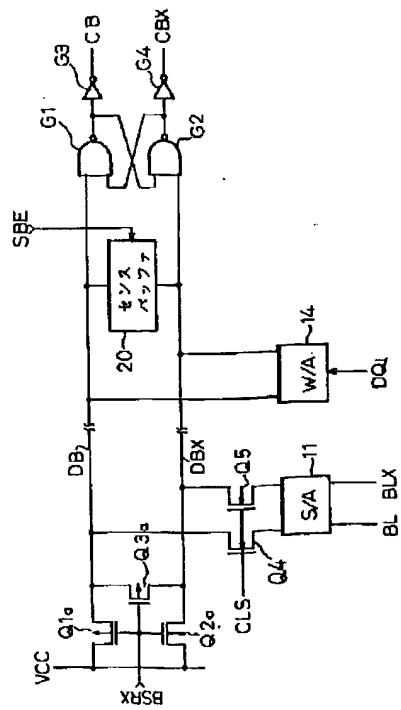
【図5】

図4の回路の動作を説明するための信号波形図



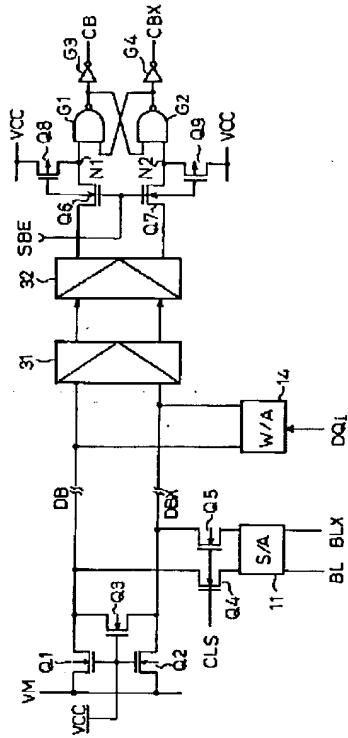
【図7】

従来形のRAMにおける要部の構成を示す回路図



【図6】

図1における本発明に係る部分の更に他の構成例を示す回路図



【図8】

図7の回路の動作を説明するための信号波形図

